

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-035181

(43)Date of publication of application : 09.02.2001

(51)Int.Cl.

G11C 29/00  
G11C 11/407  
G11C 11/401

(21)Application number : 11-203767

(71)Applicant : FUJITSU LTD  
FUJITSU VLSI LTD

(22)Date of filing : 16.07.1999

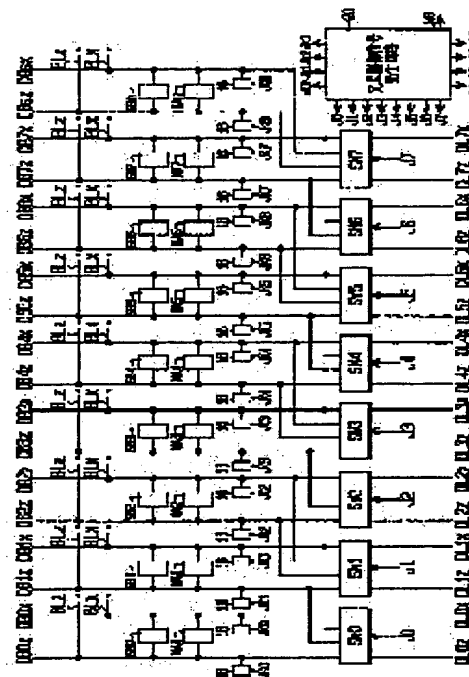
(72)Inventor : ISHIDA YOSHIYUKI  
OGAWA KAZUKI

## (54) SEMICONDUCTOR MEMORY

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor memory which can generate highly accurate data without being affected by on-resistance of a shift switch for redundancy and parasitic capacity.

SOLUTION: A pair of data bus line for redundancy DBsz, DBsx is provided for pairs of first to eighth data bus line DB0z, DB0x-DB7z, DB7x. Sense buffers SB0-SB7 and write-amplifiers WA0-WA7 are provided in each pair of data bus line DB0z, DB0x-DB7z, DB7x. Also A sense buffer SBs and a write-amplifier WAs are provided in the pair of data bus line for redundancy DBzs, DBsx. Each pair of data bus line DB0z, DB0x-DB7z, DB7x being closer to an outer input/output terminal side than the write-amplifiers WA0-WA7 are connected to pairs of first to eighth input/output data line DL0z, DL0x-DL7z, DL7x respectively through first to eighth shift switch SW0-SW7.



## LEGAL STATUS

[Date of request for examination]

12.02.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-35181

(P2001-35181A)

(43) 公開日 平成13年2月9日 (2001.2.9)

(51) IntCl.<sup>7</sup>

G11C 29/00  
11/407  
11/401

識別記号

603

F I

G11C 29/00  
11/34

テーマコード(参考)

603D 5B024  
362S 5L106  
371D

審査請求 未請求 請求項の数4 O L (全 14 頁)

(21) 出願番号

特願平11-203767

(22) 出願日

平成11年7月16日 (1999.7.16)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(71) 出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72) 発明者 石田 喜幸

愛知県春日井市高蔵寺町二丁目1844番2

富士通ヴィエルエスアイ株式会社内

(74) 代理人 100068755

弁理士 恩田 博宣

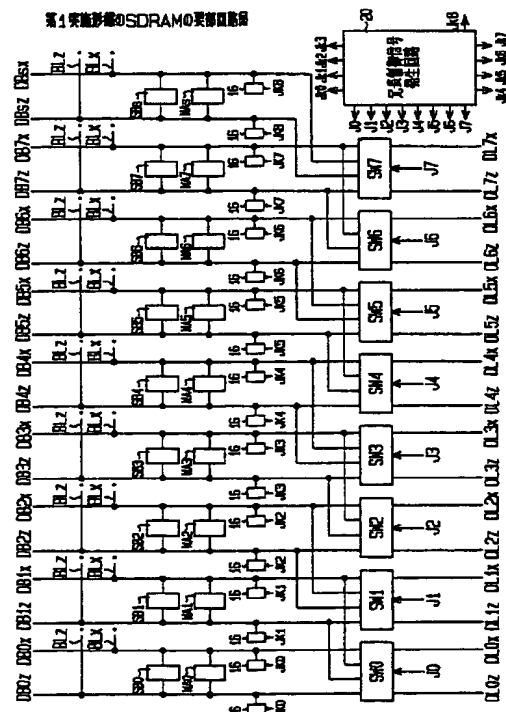
最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 冗長用シフトスイッチのオン抵抗や寄生容量の影響を受けず、精度の高いデータを生成することができる半導体記憶装置を提供する。

【解決手段】 第1～第8データバス線対DB0z, DB0x～DB7z, DB7xに対して1本の冗長用データバス線対DBsz, DBsxが設けられている。各データバス線対DB0z, DB0x～DB7z, DB7xには、それぞれセンスバッファSB0～SB7とライトアンプWA0～WA7が設けられている。又、冗長用データバス線対DBsz, DBsxには、センスバッファSBsとライトアンプWAsが設けられている。ライトアンプWA0～WA7より外部入出力端子側の各データバス線対DB0z, DB0x～DB7z, DB7xには、それぞれ第1～第8シフトスイッチSW0～SW7を介して第1～第8入出力データ線対DL0z, DL0x～DL7z, DL7zにそれぞれ接続されている。



## 【特許請求の範囲】

【請求項1】 複数の入出力データ線に対応してデータバス線が設けられ、その複数のデータバス線に対して1つの冗長用データバス線を備え、その複数のデータバス線のうち1つのデータバス線に欠陥が生じたとき、各データバス線に対して設けた冗長用シフトスイッチを適宜選択制御して、欠陥のデータバス線を除くデータバス線及び冗長用データバス線と前記入出力データ線とを切替接続して、欠陥のデータバス線を補償するようにした半導体記憶装置において、

前記各データバス線に対して設けた冗長用シフトスイッチを、データバス線に設けられたセンスバッファとライトアンプより前記入出力データ線側に設けたことを特徴とする半導体記憶装置。

【請求項2】 複数の入出力データ線に対応してデータバスが設けられ、その複数のデータバス線に対して1つの冗長用データバス線を備え、その複数のデータバス線のうち1つのデータバス線に欠陥が生じたとき、各データバス線に対して設けた冗長用シフトスイッチを適宜選択制御して、前記欠陥データバス線を除くデータバス線及び冗長用データバス線と前記入出力データ線とを切替接続して、欠陥データバス線を補償するとともに、前記複数の入出力データ線が複数のグループに区分され、その区分されたグループの各入出力データ線に対応するデータバス線に設けられたセンスバッファとライトアンプがそれぞれグループ毎に対応するマスク信号に基づいて制御されてデータの読み出し及び書き込みが制御されるようにした半導体記憶装置において、

前記各データバス線に対して設けた冗長用シフトスイッチを、それぞれデータバス線に設けられたセンスバッファとライトアンプより前記入出力データ線側に設けるとともに、

前記欠陥データバス線に欠陥が生じ、前記冗長用シフトスイッチによる前記データバス線と入出力データ線との切替接続によって入出力データ線が別のグループのデータバス線と接続される時、その別のグループのデータバス線に設けられたセンスバッファとライトアンプが当該接続された入出力データ線に属するマスク信号に基づいて制御されるようにしたマスク信号切替回路を設けたことを特徴とする半導体記憶装置。

【請求項3】 複数の入出力データ線が複数のグループに区分され、その区分されたグループの各入出力データ線に対応するデータバス線に設けられたセンスバッファとライトアンプがそれぞれ対応するマスク信号に基づいて制御されてデータの読み出し及び書き込みが制御されるようにした半導体記憶装置において、各グループ毎に、そのグループに属する各入出力データ線に対応するデータバス線に対して1つの冗長用データバス線を設け、複数のデータバス線のうち1つのデータバス線に欠陥が

生じたとき、前記欠陥データバス線を除くデータバス線及び冗長用データバス線と前記入出力データ線とを切替接続して、欠陥データバス線を補償する各データバス線に設けた冗長用シフトスイッチをそれぞれデータバス線に設けられたセンスバッファとライトアンプより前記入出力データ線側に設けたことを特徴とする半導体記憶装置。

【請求項4】 請求項1～3のいずれか1に記載の半導体記憶装置において、

前記各データバス線に設けられ、同データバス線を所定の電圧にクランプするためのクランプ回路と、

複数のデータバス線のうち1つのデータバス線に欠陥が生じたとき、その欠陥データバス線を検出し、そのデータバス線に設けた前記クランプ回路をクランプ動作させる検出回路とを備えことを特徴とする半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に係り、詳しくは、半導体記憶装置に設けられた冗長装置に関するものである。

【0002】近年の半導体記憶装置は、微細化、大容量化、省電力化の要求が益々市場では大きくなっている。微細化、大容量化に伴いメモリ内の欠陥が発生し易くなり、生産性の低下、即ち歩留まりの低下が問題となっている。これら欠陥を救済し半導体記憶装置の歩留まりの低下を抑えるための冗長装置の役割が益々大きくなっている。

## 【0003】

【従来の技術】従来、半導体記憶装置の冗長装置として、シフト冗長という方式がある。図7は、そのシフト冗長方式の原理を説明するための要部回路図である。

【0004】図7において、16本の第1～第16データバス線DB0～DB15に対して1本の冗長用データバス線DBsが設けられている。第1～第16データバス線対DB0～DB15は、それぞれ冗長用シフトスイッチとしての第1～第16シフトスイッチSW0～SW15を介して第1～第16入出力データ線DL0～DL15にそれぞれ接続されている。

【0005】そして、第1～第15シフトスイッチSW1～SW14により、第1～第15入出力データ線DL0～DL14は、対応する第1～第15データバス線DB0～DL14と、第1～第15データバス線DB0～DL14より1ビット上位の第2～第16データバス線DB1～DL16との間で切替え接続するようになっている。又、第16シフトスイッチSW15により、第16入出力データ線DL15は、対応する第16データバス線DB15と、冗長用データバス線DBsとの間で切替え接続するようになっている。

【0006】そして、例えば、第14データバス線DB13に欠陥がある場合、シフトスイッチSW13, SW14, SW15, を使用し、第14入出力データ線DL13を第15データバ

ス線DB14、第15入出力データ線DL14を第16データバス線DB15、第16入出力データ線DL15を冗長用データバス線DBsに繋ぎ換えることによってシフト冗長動作が完了する。

【0007】つまり、シフト冗長方式は、欠陥のあるデータバス線をシフトスイッチにより、欠陥のない上位ビットのデータバス線対と冗長用データバス線対に順次繋ぎ替えることで欠陥のない半導体記憶装置を実現している。

【0008】

【発明が解決しようとする課題】ところで、従来のシフト冗長方式では、各シフトスイッチSW0～SW15は、それぞれデータバス線DB0～DB15に接続されたビット線BLからみて、センスバッファSB0～SB15とライトアンプWA0～WA15の手前に設けられている。

【0009】このとき、読み出し動作時に、メモリセルから読み出されたデータは、ビット線BLに接続されたセンスアンプSAに伝わってセンスバッファSB0～SB15に至るまでは、微小振幅のデータである。

【0010】この微小振幅のデータをセンスバッファSB0～SB15で増幅しようとする、シフトスイッチSW0～SW15のオン抵抗や寄生容量が、データバス線対DB0～DB15、DBsの負荷に加えられ、センスバッファSB0～SB15のバス論理を反転させづらくなる。このことは、ライト動作時のライトアンプについても同じことがいえる。

【0011】そこで、論理の反転をし易くするために、シフトスイッチSW0～SW15のオン抵抗や寄生容量の影響が少なくなるように、シフトスイッチSW0～SW15を大きくすることが考えられる。しかしながら、シフトスイッチSW0～SW15を大きくすると、チップ面積の増大や、データバスピッチ内にSW0～SW15をレイアウトすることも難しくなる。又、消費電圧も大きくなってしまいう問題も生じる。

【0012】本発明の目的は、シフト冗長方式の冗長装置を備えた半導体記憶装置において、シフトスイッチのオン抵抗や寄生容量の影響を受けず、精度の高いデータを生成することができる半導体記憶装置を提供することにある。

【0013】又、本発明の目的は、データマスク機能を備えた半導体記憶装置においても、データマスク機能を損なうことなくシフトスイッチのオン抵抗や寄生容量の影響を受けず、精度の高いデータを生成することができる半導体記憶装置を提供することにある。

【0014】

【課題を解決するための手段】請求項1に記載の発明によれば、冗長用シフトスイッチをデータバス線に設けられたセンスバッファとライトアンプより前記入出力データ線側に設けたことにより、ビット線に接続されたセンスアンプを介してセンスバッファに入力される微小振幅のリードデータやライトアンプからビット線対に接続さ

れたセンスアンプに入力されるライトデータは、冗長用シフトスイッチのオン抵抗や寄生容量の影響を受けない。その結果、精度の高いリードデータやライトデータを生成することができる。

【0015】請求項2に記載の発明によれば、冗長用シフトスイッチをデータバス線に設けられたセンスバッファとライトアンプより前記入出力データ線側に設けたことにより、ビット線に接続されたセンスアンプを介してセンスバッファに入力される微小振幅のリードデータやライトアンプからビット線対に接続されたセンスアンプに入力されるライトデータは、冗長用シフトスイッチのオン抵抗や寄生容量の影響を受けない。

【0016】しかも、マスク信号切換回路は、欠陥データバス線に欠陥が生じて、冗長用シフトスイッチによって入出力データ線が別のグループのデータバス線と接続される時、その別のグループのデータバス線に設けられたセンスバッファとライトアンプを当該接続された入出力データ線に属するマスク信号に基づいて制御するようにした。つまり、データバス線の1つに欠陥が生じ冗長用シフトスイッチを切換動作させて冗長データバス線対を使用する場合であっても、データマスク機能を損なうことなく、精度の高いリードデータやライトデータを生成することができる。

【0017】請求項3に記載の発明によれば、冗長用シフトスイッチを各グループのデータバス線に設けられたセンスバッファとライトアンプより前記入出力データ線側に設けたことにより、ビット線に接続されたセンスアンプを介してセンスバッファに入力される微小振幅のリードデータやライトアンプからビット線対に接続されたセンスアンプに入力されるライトデータは、冗長用シフトスイッチのオン抵抗や寄生容量の影響を受けない。

【0018】しかも、各グループ毎に冗長用データバス線を設けたことから、各グループで1つの欠陥データバス線が生じて冗長用シフトスイッチが切換制御され、入出力データ線が別のグループのデータバス線と接続されることはない。つまり、データバス線の1つに欠陥が生じ冗長用シフトスイッチを切換動作させて冗長データバス線対を使用する場合であっても、データマスク機能を損なうことなく、精度の高いリードデータやライトデータを生成することができる。

【0019】請求項4に記載の発明によれば、データバス線に欠陥が生じたとき、その欠陥データバス線のクランプ回路は検出回路によりクランプ動作する。その結果、欠陥データバス線は所定の電圧にクランプされフローティング状態は回避される。

【0020】

【発明の実施の形態】（第1実施形態）以下、本発明を半導体記憶装置としてのSDRAMに具体化した第1実施形態を図面に従って説明する。図1はSDRAMの要部回路図を示す。図1において、8本の第1～第8デー

タブス線対DB0z, DB0x~DB7z, DB7xに対して1本の冗長用データバス線対DBsz, DBsxが設けられている。各データバス線対DB0z, DB0x~DB7z, DB7x, DBsz, DBsxは、それぞれ複数のビット線対BLz, BLxが接続されている。各ビット線対BLz, BLxには図示しないセンスアンプを介してメモリセルに接続されている。従って、メモリセルから読み出されビット線対BLz, BLxに出力されたデータはセンスアンプにて増幅されデータバス線対DB0z, DB0x~DB7z, DB7xに出力される。

【0021】各データバス線対DB0z, DB0x~DB7z, DB7xには、それぞれセンスバッファSB0~SB7とライトアンプWA0~WA7が設けられている。又、冗長用データバス線対DBsz, DBsxには、センスバッファSBsとライトアンプWAsが設けられている。

【0022】ライトアンプWA0~WA7より外部入出力端子側の各データバス線対DB0z, DB0x~DB7z, DB7xには、それぞれ冗長用シフトスイッチとしての第1~第8シフトスイッチSW0~SW7を介して第1~第8入出力データ線対DL0z, DL0x~DL7z, DL7zにそれぞれ接続されている。

【0023】第8シフトスイッチSW7を除く第1~第7シフトスイッチSW0~SW6は、それぞれ第1~第7入出力データ線対DL0z, DL0x~DL6z, DL6zに対して対応する第1~第7データバス線対DB0z, DB0x~DB6z, DB6xと1ビット上位の第2~第8データバス線対DB1z, DB1x~DB7z, DB7xとの間で切換え接続するようになっている。

尚、第8シフトスイッチSW7は、第8入出力データ線対DL7z, DL7zに対して対応する第8データバス線対DB7z, DB7xと冗長用データバス線対DBsz, DBsxとの間で切換え接続するようになっている。

【0024】次に、前記第1~第8シフトスイッチSW0~SW8について説明する。尚、第1~第8シフトスイッチSW0~SW8は入力される切換え信号J0~J7が相違するだけで回路構成は同じであるので、第1シフトスイッチSW0の構成を説明し他のシフトスイッチSW1~SW7の説明は省略する。

【0025】図2は、第1シフトスイッチSW0の回路構成を示す回路図である。第1シフトスイッチSW0は、4個の第1~第4トランスファークロップ11~14とインバータ回路15とを有している。各トランスファークロップ11~14は、PチャネルMOSトランジスタ(PMOSトランジスタ)Q1とNチャネルMOSトランジスタ(NMOSトランジスタ)Q2とからなる。

【0026】第1トランスファークロップ11は、第1入出力データ線DL0zと第1データバス線DB0zとの間に接続され、第1入出力データ線DL0zと第1データバス線DB0zを接離する。第2トランスファークロップ12は、第1入出力データ線DL0xと第1データバス線DB0xとの間に接続され、第1入出力データ線DL0xと第1データバス線DB0xを接離する。

【0027】第3トランスファークロップ13は、第1入

出力データ線DL0zと第2データバス線DB1zとの間に接続され、第1入出力データ線DL0zと第2データバス線DB1zを接離する。第4トランスファークロップ14は、第1入出力データ線DL0xと第2データバス線DB1xとの間に接続され、第1入出力データ線DL0xと第2データバス線DB1xを接離する。

【0028】第1、第2トランスファークロップ11、12のPMOSトランジスタQ1のゲート、及び、第3、第4トランスファークロップ13、14のNMOSトランジスタQ2のゲートには、第1切換え信号J0を入力する。

【0029】第1、第2トランスファークロップ11、12のNMOSトランジスタQ2のゲート、及び、第3、第4トランスファークロップ13、14のPMOSトランジスタQ1のゲートには、インバータ回路15を介して第1切換え信号J0を入力する。

【0030】そして、第1切換え信号J0がLレベル(低電位電圧)のとき、第1及び第2トランスファークロップ11、12はオンし、第3及び第4トランスファークロップ13、14はオフする。従って、第1入出力データ線対DL0z, DL0xは、第1データバス線対DB0z, DB0xと接続され、第2データバス線対DB1z, DB1xと遮断される。又、第1切換え信号J0がHレベル(高電位電圧)のとき、第1及び第2トランスファークロップ11、12はオフし、第3及び第4トランスファークロップ13、14はオンする。従って、第1入出力データ線対DL0z, DL0xは、第2データバス線対DB1z, DB1xと接続され、第1データバス線対DB0z, DB0xと遮断される。

【0031】つまり、第1シフトスイッチSW0は、第1切換え信号J0に基づいて第1入出力データ線対DL0z, DL0xを、第1データバス線対DB0z, DB0xと第2データバス線対DB1z, DB1xを切換制御する。因みに、第2~第8シフトスイッチSW1~SW7は、それぞれ第2~第8切換え信号J1~J7を入力し、その第2~第8切換え信号J1~J7に基づいて第2~第8入出力データ線対DL1z, DL1x~DL7z, DL7zに対して対応するそれぞれデータバス線対DB1z, DB1x~DB7z, DB7x, DBsz, DBsxを切換制御する。

【0032】図1に示すように、前記第1~第8データバス線対DB0z, DB0x~DB7z, DB7x及び冗長用データバス線対DBsz, DBsxのライトアンプWA0~WA7, WAsと第1~第8シフトスイッチSW0~SW7との間には、それぞれクランプ回路16が接続されている。各クランプ回路16は、図2に示すように、NMOSトランジスタQ3よりなる。

【0033】各クランプ回路16のNMOSトランジスタQ3は、ドレインがそれぞれ対応するデータバス線対DB0z, DB0x~DB7z, DB7x, DBsz, DBsxに接続され、ソースが接地されている。各クランプ回路16のNMOSトランジスタQ3のゲートは、それぞれ対応する第1~第9クランプ制御信号JK0~JK8を入力する。

【0034】そして、各クランプ回路16のNMOSト

ランジスタQ3は、対応する第1～第9クランプ制御信号JK0～JK8がHレベルの時、オンして対応するデータバス線対DB0z, DB0x～DB7z, DB7xを接地するようになっている。

【0035】次に、第1～第9クランプ制御信号JK0～JK8及び第1～第8切換信号J0～J7を生成する冗長制御信号発生回路20について説明する。図3は、冗長制御信号発生回路20の回路図を示す。図3において、冗長制御信号発生回路20はヒューズ回路部21、検出回路部22及びデコード回路部23を有している。

【0036】ヒューズ回路部21は、4個の第1～第4ヒューズ回路21a～21dからなる。第1～第4ヒューズ回路21a～21dは、それぞれPMOSTランジスタQ4、インバータ回路25、26及びヒューズ27を有している。第1～第4ヒューズ回路21a～21dのPMOSTランジスタQ4は、ドレインが高電圧電源線に接続され、ソースがヒューズ27を介して接地されている。又、PMOSTランジスタQ4のゲートは接地されている。第1～第4ヒューズ回路21a～21dのヒューズ27は、試験結果に基づいてレーザ等で溶断されるようになっている。

【0037】そして、ヒューズ27が溶断（接断）されると、PMOSTランジスタQ4のドレインの電位は、Hレベルとなる。又、ヒューズ27が溶断されないと、PMOSTランジスタQ4のドレインの電位は、Lレベルとなる。

【0038】第1～第4ヒューズ回路21a～21dのPMOSTランジスタQ4のドレインは、インバータ回路25、26が接続されている。そして、第1～第4ヒューズ回路21a～21dのインバータ回路26の出力を第1～第4溶断有無信号n0z～n3zとしている。又、第1～第4ヒューズ回路21a～21dのインバータ回路25の出力を第1～第4反転溶断有無信号n0x～n3xとしている。つまり、ヒューズ27が溶断されると、第1～第4溶断有無信号n0z～n3zはHレベル、第1～第4反転溶断有無信号n0x～n3xはLレベルとなる。反対に、ヒューズ27が溶断されないと、第1～第4溶断有無信号n0z～n3zはLレベル、第1～第4反転溶断有無信号n0x～n3xはHレベルとなる。

【0039】そして、本実施形態では、第1～第8データバス線対DB0z, DB0x～DB7z, DB7xの全てに欠陥がなく、冗長用データバス線対DBsz, DBsxを使用しない場合には、第1～第4ヒューズ回路21a～21dのヒューズ27を溶断させないようにしている。つまり、第1～第4溶断有無信号n0z～n3zは全てLレベルとなり、第1～第4反転溶断有無信号n0x～n3xは全てHレベルとなる。

【0040】一方、第1～第8データバス線対DB0z, DB0x～DB7z, DB7xのいずれか1つのバス線対が欠陥が生じて、冗長用データバス線対DBsz, DBsxを切換使用される

場合には、第4ヒューズ回路21dのヒューズ27は必ず溶断され、他の第1～第3ヒューズ回路21a～21cのヒューズ27は欠陥が生じたバス線対に応じて選択されて溶断される。

【0041】詳述すると、本実施形態では、第1データバス線対DB0z, DB0xが欠陥がある場合には、第4ヒューズ回路21dのヒューズ27が溶断される。第2データバス線対DB1z, DB1xが欠陥がある場合には、第1及び第4ヒューズ回路21a, 21dのヒューズ27が溶断される。第3データバス線対DB2z, DB2xが欠陥がある場合には、第2及び第4ヒューズ回路21b, 21dのヒューズ27が溶断される。第4データバス線対DB3z, DB3xが欠陥がある場合には、第3及び第4ヒューズ回路21c, 21dのヒューズ27が溶断される。

【0042】第5データバス線対DB4z, DB4xが欠陥がある場合には、第1、第2及び第4ヒューズ回路21a, 21b, 21dのヒューズ27が溶断される。第6データバス線対DB5z, DB5xが欠陥がある場合には、第1、第3及び第4ヒューズ回路21a, 21c, 21dのヒューズ27が溶断される。第7データバス線対DB6z, DB6xが欠陥がある場合には、第2、第3及び第4ヒューズ回路21b, 21c, 21dのヒューズ27が溶断される。第8データバス線対DB7z, DB7xが欠陥がある場合には、第1～第4ヒューズ回路21a～21dのヒューズ27が溶断される。

【0043】そして、ヒューズ27の溶断の有無に基づいて第1～第4ヒューズ回路21a～21dから出力される第1～第4溶断有無信号n0z～n3z及び第1～第4反転溶断有無信号n0x～n3xは、検出回路部22に出力される。

【0044】検出回路部22は、第1～第4溶断有無信号n0z～n3z及び第1～第4反転溶断有無信号n0x～n3xに基づいて第1～第8検出信号S0～S7を生成する。つまり、検出回路部22は、第1～第4ヒューズ回路21a～21dのヒューズ27の溶断の有無によって欠陥のあるデータバス線対DB0z, DB0x～DB7z, DB7xを示す第1～第8検出信号S0～S7を生成する。

【0045】そして、本実施形態では、第1データバス線対DB0z, DB0xに欠陥がある場合には、検出回路部22は第1検出信号S0のみHレベルにし、第2～第8検出信号S1～S7をLレベルにする。第2データバス線対DB1z, DB1xに欠陥がある場合には、検出回路部22は第2検出信号S1のみHレベルにし、第1、第3～第8検出信号S0, S2～S7をLレベルにする。

【0046】第3データバス線対DB2z, DB2xに欠陥がある場合には、検出回路部22は第3検出信号S2のみHレベルにし、第1、第2、第4～第8検出信号S0, S1, S3～S7をLレベルにする。第4データバス線対DB3z, DB3xに欠陥がある場合には、検出回路部22は第4検出信号S3のみHレベルにし、第1～第3、第5～第8検出信号

S0～S2, S4～S7をLレベルにする。

【0047】第5データバス線対DB4z, DB4xに欠陥がある場合には、検出回路部22は第5検出信号S4のみHレベルにし、第1～第4, 第6～第8検出信号S0～S3, S5～S7をLレベルにする。第6データバス線対DB5z, DB5xに欠陥がある場合には、検出回路部22は第6検出信号S5のみHレベルにし、第1～第5, 第7及び第8検出信号S0～S4, S6, S7をLレベルにする。

【0048】第7データバス線対DB6z, DB6xに欠陥がある場合には、検出回路部22は第7検出信号S6のみHレベルにし、第1～第6及び第8検出信号S0～S5, S7をLレベルにする。第8データバス線対DB7z, DB7xに欠陥がある場合には、検出回路部22は第8検出信号S7のみHレベルにし、第1～第7検出信号S0～S6をLレベルにする。

【0049】又、第1～第8データバス線対DB0z, DB0x～DB7z, DB7xの全てに欠陥がない場合には、冗長用データバス線対DBsz, DBsxを使用しない場合には、検出回路部22は第1～第8検出信号S0～S7を全てLレベルにする。

【0050】そして、この検出回路部22が出力する第1～第8検出信号S0～S7は、デコード回路部23に出力される。デコード回路部23は、第1～第8検出信号S0～S7に基づいて第1～第8切換信号J0～J7を生成する。つまり、デコード回路部23は、第1～第4ヒューズ回路21a～21dのヒューズ27の溶断の有無(欠陥のデータバス線対)によってシフトスイッチSW0～SW7を切換動作させるHレベルの第1～第8切換信号J0～J7を生成する。

【0051】詳述すると、第1～第8データバス線対DB0z, DB0x～DB7z, DB7xの全てに欠陥がなく、第1～第8検出信号S0～S7が全てLレベルのとき、デコード回路部23は、第1～第8切換信号J0～J7を全てLレベルとする。従って、第1～第8シフトスイッチSW0～SW7の第1及び第2トランスファークロスタック11, 12がオンし、第1～第8シフトスイッチSW0～SW7の第3及び第4トランスファークロスタック13, 14がオフする。

【0052】その結果、第1～第8入出力データ線対DL0z, DL0x～DL7z, DL7zは、それぞれ対応する第1～第8データバス線対DB0z, DB0x～DB7z, DB7xにそれぞれ接続される。

【0053】次に、第1データバス線対DB0z, DB0xに欠陥があって、第1検出信号S0のみがHレベルのとき、デコード回路部23は第1～第8切換信号J0～J7は全てHレベルにする。従って、第1～第8シフトスイッチSW0～SW7の第1及び第2トランスファークロスタック11, 12がオフし、第1～第8シフトスイッチSW0～SW7の第3及び第4トランスファークロスタック13, 14がオンする。

【0054】その結果、第1～第8入出力データ線対DL0z, DL0x～DL7z, DL7zは、それぞれ対応する第1～第8

データバス線対DB0z, DB0x～DB7z, DB7xに対して1ビット上位の第2～第8データバス線対DB1z, DB1x～DB7z, DB7x、冗長用データバス線対DBsz, DBsxにそれぞれ切換え接続される。

【0055】次に、第2データバス線対DB1z, DB1xに欠陥があって、第2検出信号S1のみがHレベルのとき、デコード回路部23は第1切換信号J0をLレベル、第2～第8切換信号J1～J7をHレベルにする。

【0056】従って、第1シフトスイッチSW0の第1及び第2トランスファークロスタック11, 12がオンし、第1シフトスイッチSW0の第3及び第4トランスファークロスタック13, 14がオフする。又、第2～第8シフトスイッチSW1～SW7の第1及び第2トランスファークロスタック11, 12がオフし、第2～第8シフトスイッチSW1～SW7の第3及び第4トランスファークロスタック13, 14がオンする。

【0057】その結果、第1入出力データ線対DL0z, DL0xは、対応する第1データバス線対DB0z, DB0xに接続される。又、第2～第8入出力データ線対DL1z, DL1x～DL7z, DL7zは、それぞれ対応する第2～第8データバス線対DB1z, DB1x～DB7z, DB7xに対して1ビット上位の第3～第8データバス線対DB2z, DB2x～DB7z, DB7x、冗長用データバス線対DBsz, DBsxにそれぞれ切換え接続される。

【0058】次に、第3データバス線対DB2z, DB2xに欠陥があって、第3検出信号S2のみがHレベルのとき、デコード回路部23は第1及び第2切換信号J0, J1をLレベル、第3～第8切換信号J2～J7をHレベルにする。

【0059】従って、第1及び第2シフトスイッチSW0, SW1の第1及び第2トランスファークロスタック11, 12がオンし、第1及び第2シフトスイッチSW0, SW1の第3及び第4トランスファークロスタック13, 14がオフする。又、第3～第8シフトスイッチSW2～SW7の第1及び第2トランスファークロスタック11, 12がオフし、第3～第8シフトスイッチSW2～SW7の第3及び第4トランスファークロスタック13, 14がオンする。

【0060】その結果、第1及び第2入出力データ線対DL0z, DL0x, DL1z, DL1xは、対応する第1及び第2データバス線対DB0z, DB0x, DB1z, DB1xに接続される。又、第3～第8入出力データ線対DL2z, DL2x～DL7z, DL7zは、それぞれ対応する第3～第8データバス線対DB2z, DB2x～DB7z, DB7xに対して1ビット上位の第4～第8データバス線対DB3z, DB3x～DB7z, DB7x、冗長用データバス線対DBsz, DBsxにそれぞれ切換え接続される。

【0061】次に、第4データバス線対DB3z, DB3xに欠陥があって、第4検出信号S3のみがHレベルのとき、デコード回路部23は第1～第3切換信号J0～J2をLレベル、第4～第8切換信号J3～J7をHレベルにする。

【0062】従って、第1～第3シフトスイッチSW0～SW2の第1及び第2トランスファークロスタック11, 12がオ

ンし、第1～第3シフトスイッチSW0～SW2の第3及び第4トランスファークゲート13、14がオフする。又、第4～第8シフトスイッチSW3～SW7の第1及び第2トランスファークゲート11、12がオフし、第4～第8シフトスイッチSW3～SW7の第3及び第4トランスファークゲート13、14がオンする。

【0063】その結果、第1～第3入出力データ線対DL0z, DL0x～DL2z, DL2xは、対応する第1～第3データバス線対DB0z, DB0x～DB2z, DB2xに接続される。又、第4～第8入出力データ線対DL3z, DL3x～DL7z, DL7zは、それぞれ対応する第4～第8データバス線対DB3z, DB3x～DB7z, DB7xに対して1ビット上位の第5～第8データバス線対DB4z, DB4x～DB7z, DB7x、冗長用データバス線対DBsz, DBsxにそれぞれ切換え接続される。

【0064】次に、第5データバス線対DB4z, DB4xに欠陥があって、第5検出信号S4のみがHレベルのとき、デコード回路部23は第1～第4切換信号J0～J3をLレベル、第5～第8切換信号J4～J7をHレベルにする。

【0065】従って、第1～第4シフトスイッチSW0～SW3の第1及び第2トランスファークゲート11、12がオンし、第1～第4シフトスイッチSW0～SW3の第3及び第4トランスファークゲート13、14がオフする。又、第5～第8シフトスイッチSW4～SW7の第1及び第2トランスファークゲート11、12がオフし、第5～第8シフトスイッチSW4～SW7の第3及び第4トランスファークゲート13、14がオンする。

【0066】その結果、第1～第4入出力データ線対DL0z, DL0x～DL3z, DL3xは、対応する第1～第4データバス線対DB0z, DB0x～DB3z, DB3xに接続される。又、第5～第8入出力データ線対DL4z, DL4x～DL7z, DL7zは、それぞれ対応する第5～第8データバス線対DB4z, DB4x～DB7z, DB7xに対して1ビット上位の第6～第8データバス線対DB5z, DB5x～DB7z, DB7x、冗長用データバス線対DBsz, DBsxにそれぞれ切換え接続される。

【0067】次に、第6データバス線対DB5z, DB5xに欠陥があって、第6検出信号S5のみがHレベルのとき、デコード回路部23は第1～第5切換信号J0～J4をLレベル、第6～第8切換信号J5～J7をHレベルにする。

【0068】従って、第1～第5シフトスイッチSW0～SW4の第1及び第2トランスファークゲート11、12がオンし、第1～第5シフトスイッチSW0～SW4の第3及び第4トランスファークゲート13、14がオフする。又、第6～第8シフトスイッチSW5～SW7の第1及び第2トランスファークゲート11、12がオフし、第6～第8シフトスイッチSW5～SW7の第3及び第4トランスファークゲート13、14がオンする。

【0069】その結果、第1～第5入出力データ線対DL0z, DL0x～DL4z, DL4xは、対応する第1～第5データバス線対DB0z, DB0x～DB4z, DB4xに接続される。又、第6～第8入出力データ線対DL5z, DL5x～DL7z, DL7zは、そ

れぞれ対応する第6～第8データバス線対DB5z, DB5x～DB7z, DB7xに対して1ビット上位の第7及び第8データバス線対DB6z, DB6x, DB7z, DB7x、冗長用データバス線対DBsz, DBsxにそれぞれ切換え接続される。

【0070】次に、第7データバス線対DB6z, DB6xに欠陥があって、第7検出信号S6のみがHレベルのとき、デコード回路部23は第1～第6切換信号J0～J5をLレベル、第7及び第8切換信号J6, J7をHレベルにする。

【0071】従って、第1～第6シフトスイッチSW0～SW5の第1及び第2トランスファークゲート11、12がオンし、第1～第6シフトスイッチSW0～SW5の第3及び第4トランスファークゲート13、14がオフする。又、第7及び第8シフトスイッチSW6, SW7の第1及び第2トランスファークゲート11、12がオフし、第7及び第8シフトスイッチSW6, SW7の第3及び第4トランスファークゲート13、14がオンする。

【0072】その結果、第1～第6入出力データ線対DL0z, DL0x～DL5z, DL5xは、対応する第1～第6データバス線対DB0z, DB0x～DB5z, DB5xに接続される。又、第7及び第8入出力データ線対DL6z, DL6x, DL7z, DL7zは、それぞれ対応する第7及び第8データバス線対DB6z, DB6x, DB7z, DB7xに対して1ビット上位の第8データバス線対DB7z, DB7xと、冗長用データバス線対DBsz, DBsxにそれぞれ切換え接続される。

【0073】最後に、第8データバス線対DB7z, DB7xに欠陥があって、第8検出信号S7のみがHレベルのとき、デコード回路部23は第1～第7切換信号J0～J6をLレベル、第8切換信号J7をHレベルにする。

【0074】従って、第1～第7シフトスイッチSW0～SW6の第1及び第2トランスファークゲート11、12がオンし、第1～第7シフトスイッチSW0～SW6の第3及び第4トランスファークゲート13、14がオフする。又、第8シフトスイッチSW7の第1及び第2トランスファークゲート11、12がオフし、第8シフトスイッチSW7の第3及び第4トランスファークゲート13、14がオンする。

【0075】その結果、第1～第7入出力データ線対DL0z, DL0x～DL6z, DL6xは、対応する第1～第7データバス線対DB0z, DB0x～DB6z, DB6xに接続される。又、第8入出力データ線対DL7z, DL7zは、第8データバス線対DB7z, DB7xに対して冗長用データバス線対DBsz, DBsxに切換え接続される。

【0076】前記検出回路部22の第1～第8検出信号S0～S7は、それぞれ第1～第8クランプ制御信号JK0～JK7としてそれぞれ対応する前記クランプ回路16のNMOSTランジスタQ4のゲートに出力される。つまり、欠陥のあるデータバス線対は、該バス線対に設けたクランプ回路16のNMOSTランジスタQ4がオンされて接地電圧に保持される。

【0077】又、第9クランプ制御信号JK8は、本実施



形態では検出回路部22にて生成される。つまり、検出回路部22は第1～第8検出信号S0～S7を全てLレベルにすると、Hレベルの第9クランプ制御信号JK8を冗長用データバス線対DBsz, DBsxに設けたクランプ回路16のNMOSTランジスタQ4のゲートに出力する。従って、第1～第8データバス線対DB0z, DB0x～DB7z, DB7xの全てに欠陥がない場合には、冗長用データバス線対DBsz, DBsxは、クランプ回路16のNMOSTランジスタQ4がオンされて接地電圧に保持される。

【0078】次に、上記のように構成した第1実施形態のSDRAMの特徴を以下に記載する。

(1) 本実施形態では、冗長のための第1～第8シフトスイッチSW0～SW7を、第1～第8データバス線対DB0z, DB0x～DB7z, DB7xから第1～第8入出力データ線対DL0z, DL0x～DL7z, DL7xをみて、センスバッファSB0～SB7及びライトアンプWA0～WA7の次に設けた。つまり、ビット線対BLz, BLxからみて、第1～第8シフトスイッチSW0～SW7を、センスバッファSB0～SB7及びライトアンプWA0～WA7より手前に設けなかった。

【0079】従って、メモリセルから読み出されビット線対BLz, BLxに接続されたセンスアンプを介してセンスバッファSB0～SB15に入力される微小振幅のリードデータは、シフトスイッチSW0～SW7のオン抵抗や寄生容量の影響を受けないでセンスバッファSB0～SB15に入力される。その結果、センスバッファSB0～SB15のバス論理は反転動作は容易かつ確実となり、精度の高いリードデータを生成するとができる。

【0080】又、ライトアンプWA0～WA7からビット線対BLz, BLxに接続されたセンスアンプに入力されるライトデータも、シフトスイッチSW0～SW7のオン抵抗や寄生容量の影響を受けない。その結果、センスアンプのバス論理は反転動作も容易かつ確実となり、精度の高いライトデータを生成するとができる。

【0081】(2) 本実施形態では、前記したように、第1～第8シフトスイッチSW0～SW7を、センスバッファSB0～SB7及びライトアンプWA0～WA7より外部入出力端子側に設けた。

【0082】ところで、センスバッファSB0～SB15にて増幅されて外部入出力端子側に出力されるリードデータは、センスアンプを介してセンスバッファSB0～SB15に入力される微小振幅のリードデータより振幅値は大きく完全振幅のリードデータである。同様にライト動作においても、外部からのライトデータは、ライトアンプWA0～WA7までは振幅値は大きく完全振幅のライトデータである。

【0083】従って、この完全振幅のリードデータ(ライトデータ)が通過する第1～第8シフトスイッチSW0～SW7は、微小振幅のリードデータ(ライトデータ)が通過する従来のシフトスイッチに比べて、オン抵抗や寄生容量を考慮する必要がない。その結果、第1～第8シ

フトスイッチSW0～SW7のサイズを小さくでき、レイアウト設計を容易にするるとともに消費電流の低減を図ることができる。

【0084】(3) 本実施形態では、第1～第8データバス線対DB0z, DB0x～DB7z, DB7x及び冗長用データバス線対DBsz, DBsxにクランプ回路16を設けた。そして、第1～第8データバス線対DB0z, DB0x～DB7z, DB7xのうち欠陥のあるデータバス線対に対してその欠陥のデータバス線対に設けたクランプ回路16を動作させ、その欠陥のデータバス線対を接地させるようにした。又、第1～第8データバス線対DB0z, DB0x～DB7z, DB7x全てが欠陥がない場合、冗長用データバス線対DBsz, DBsxに設けたクランプ回路16を動作させ、冗長用データバス線対DBsz, DBsxを接地させるようにした。

【0085】従って、使用されない欠陥のあるデータバス線対(データバス線対DB0z, DB0x～DB7z, DB7x全てが欠陥がない場合は冗長用データバス線対DBsz, DBsx)は接地されるため、該データバス線対はフローティング状態が回避される。その結果、フローティング状態によって、使用されないデータバス線対に設けられたセンスバッファやライトアンプが動作して貫通電流が流れるのを未然に防止することができる。

【0086】(第2実施形態)次に、本発明の第2実施形態について図4及び図5に従って説明する。本実施形態は、データマスク機能を備えたSDRAMに具体化したものである。

【0087】データマスク機能は、外部装置からの第1及び第2マスク信号DQM0, DQM1を入力し、例えば8本のデータバス線対DB0z, DB0x～DB7z, DB7xの内、一方のグループとしての下位4ビットの第1～第4データバス線対DB0z, DB0x～DB3z, DB3xが第1マスク信号DQM0で制御され、他方のグループとしての上位4ビットの第5～第8データバス線対DB4z, DB4x～DB7z, DB7xが第2マスク信号DQM1で制御されるようにしたものである。

【0088】詳述すると、第1マスク信号DQM0が例えば、Hレベルのとき、下位4ビットの第1～第4データバス線対DB0z, DB0x～DB3z, DB3xを介してデータの書き込み及び読み出しが行えることができ、Lレベルのとき、下位4ビットの第1～第4データバス線対DB0z, DB0x～DB3z, DB3xを介してデータの書き込み及び読み出しができないようにする。

【0089】同様に、第2マスク信号DQM1が例えば、Hレベルのとき、上位4ビットの第5～第8データバス線対DB4z, DB4x～DB7z, DB7xを介してデータの書き込み及び読み出しが行えることができ、Lレベルのとき、上位4ビットの第5～第8データバス線対DB4z, DB4x～DB7z, DB7xを介してデータの書き込み及び読み出しができないようにする。

【0090】そして、本実施形態では、説明の便宜上、前記した第1実施形態と同様な部分は符号を同じにして

詳細な説明は省略する。図4は、データマスク機能を備えたSDRAMの要部回路図を示す。

【0091】SDRAMは、外部装置から第1及び第2マスク信号DQM0、DQM1を入力する。第1マスク信号DQM0は、下位4ビットの第1～第4データバス線対DB0z、DB0x～DB3z、DB3xのライトアンプWA0～WA3に出力されている。第1マスク信号DQM0がHレベルの時、各ライトアンプWA0～WA3は活性化されライトデータを増幅し出力する。又、第1マスク信号DQM0がLレベルの時、各ライトアンプWA0～WA3は非活性化になりライト動作を停止する。

【0092】第2マスク信号DQM1は、第5データバス線対DB4z、DB4xを除く第6～第8データバス線対DB5z、DB5x～DB7z、DB7xのライトアンプWA5～WA7及び冗長用データバス線対DBsz、DBsxのライトアンプWAsに出力されている。

【0093】第2マスク信号DQM1がHレベルの時、各ライトアンプWA5～WA7、WAsは活性化されライトデータを増幅し出力する。又、第2マスク信号DQM1がLレベルの時、各ライトアンプWA5～WA7、WAsは非活性化になりライト動作を停止する。

【0094】又、前記第1及び第2マスク信号DQM0、DQM1は、マスク信号切換回路30に出力される。マスク信号切換回路30は、第1及び第2マスク信号DQM0、DQM1を入力し、いずれか一方のマスク信号を選択して切換マスク信号SKとして第5データバス線対DB4z、DB4xのライトアンプWA4に出力する。

【0095】詳述すると、第1～第8データバス線対DB0z、DB0x～DB7z、DB7xにおいて、下位4ビットの第1～第4データバス線対DB0z、DB0x～DB3z、DB3xのいずれか1に欠陥があった場合、マスク信号切換回路30は第1マスク信号DQM0を切換マスク信号SKとしてライトアンプWA4に出力する。

【0096】つまり、下位4ビットの第1～第4データバス線対DB0z、DB0x～DB3z、DB3xのいずれか1に欠陥があった場合、シフトスイッチSW3の切換制御によって、第5データバス線対DB4z、DB4xは下位4ビットのデータバス線対に属することになる。そのため、第5データバス線対DB4z、DB4xに接続されるライトアンプWA4は第1マスク信号DQM0にて制御される必要から、ライトアンプWA4には、第1マスク信号DQM0からなる切換マスク信号SKが入力される。

【0097】又、第1～第8データバス線対DB0z、DB0x～DB7z、DB7xにおいて、上位4ビットの第5～第8データバス線対DB4z、DB4x～DB7z、DB7xのいずれか1に欠陥があった場合、マスク信号切換回路30は第2マスク信号DQM1を切換マスク信号SKとしてライトアンプWA4に出力する。

【0098】つまり、上位4ビットの第5～第8データバス線対DB4z、DB4x～DB7z、DB7xのいずれか1に欠陥が

あった場合、シフトスイッチSW3の切換制御は行われず、第5データバス線対DB4z、DB4xはそのまま上位4ビットのデータバス線対に属する。そのため、第5データバス線対DB4z、DB4xに接続されるライトアンプWA4は第2マスク信号DQM1にて制御される必要から、ライトアンプWA4には、第2マスク信号DQM1らなる切換マスク信号SKが入力される。

【0099】図5は、マスク信号切換回路30の回路図を示す。マスク信号切換回路30は、2個の第1及び第2ナンド回路31、32、2個の第1及び第2トランスファークロップ33、34、2個の第1及び第2インバータ回路35、36及びノア回路37を有している。

【0100】第1ナンド回路31は2入力端子のナンド回路であって、一方の入力端子はHレベルとなる高電位電圧電源線に接続され、他方の入力端子は前記第1マスク信号DQM0を入力する。第1ナンド回路31の出力信号は、第1トランスファークロップ33を介して第1インバータ回路35に接続されている。

【0101】第1トランスファークロップ33はPMOSトランジスタとNMOSトランジスタよりなり、PMOSトランジスタのゲートにはノア回路37の出力信号が入力され、NMOSトランジスタのゲートには第2インバータ回路36を介してノア回路37の出力信号が入力される。ノア回路37は、前記第1実施形態で説明した冗長制御信号発生回路20に設けた検出回路部22から第1～第4検出信号S0～S3を入力する。

【0102】第1～第4検出信号S0～S3が全てLレベルのとき、即ち、少なくとも下位4ビットの第1～第4データバス線対DB0z、DB0x～DB3z、DB3xに欠陥がないとき、ノア回路37はHレベルの出力信号を出力する。従って、第1トランスファークロップ33はオフ状態となり、第1ナンド回路31からの出力信号を遮断する。

【0103】第1～第4検出信号S0～S3のいずれか1がHレベルのとき、即ち、下位4ビットの第1～第4データバス線対DB0z、DB0x～DB3z、DB3xのいずれか1に欠陥があるとき、ノア回路37はLレベルの出力信号を出力する。従って、第1トランスファークロップ33はオン状態となり、第1ナンド回路31からの出力信号を次段の第1インバータ回路35に出力する。即ち、第1ナンド回路31に入力された第1マスク信号DQM0が切換マスク信号SKとしてライトアンプWA4に出力される。

【0104】第2ナンド回路32は2入力端子のナンド回路であって、一方の入力端子はHレベルとなる高電位電圧電源線に接続され、他方の入力端子は前記第2マスク信号DQM1を入力する。第2ナンド回路32の出力信号は、第2トランスファークロップ34を介して第1インバータ回路35に接続されている。

【0105】第2トランスファークロップ34はPMOSトランジスタとNMOSトランジスタよりなり、PMOSトランジスタのゲートには第2インバータ回路36を

介してノア回路37の出力信号が入力され、NMOSトランジスタのゲートにはノア回路37の出力信号が入力される。

【0106】つまり、第2トランスファークローク34は、第1トランスファークローク33がオン状態のときにオフ状態となり、第1トランスファークローク33がオフ状態のときにオン状態となる。詳述すると、少なくとも下位4ビットの第1～第4データバス線対DB0z, DB0x～DB3z, DB3xに欠陥がないとき、第2トランスファークローク34はオン状態となり、第2ナンド回路32に入力された第2マスク信号DQM1が切替マスク信号SKとしてライトアンプWA4に出力される。

【0107】又、下位4ビットの第1～第4データバス線対DB0z, DB0x～DB3z, DB3xのいずれか1に欠陥があるとき、第2トランスファークローク34はオフ状態となり、第2ナンド回路32からの出力信号を遮断する。

【0108】上記のように構成した第2実施形態のSDRAMは、前記した第1実施形態の(1)～(3)の特徴に加えて以下に記載する特徴を有する。

(1) データマスク機能を備えたSDRAMにおいて、マスク信号切替回路30を設けた。そして、第1～第8データバス線対DB0z, DB0x～DB7z, DB7xの1つに欠陥が生じ冗長データバス線対DBsz, DBsxが使用されるとき、マスク信号切替回路30は、その欠陥のあるデータバス線対によって、下位4ビットのデータバス線対と上位4ビットのデータバス線対のいずれかに属することになる第5データバス線対DB4z, DB4xのライトアンプWA4にその属する側のマスク信号DQM0, DQM1(切替マスク信号SK)を出力する。

【0109】従って、第1～第8データバス線対DB0z, DB0x～DB7z, DB7xの1つに欠陥が生じシフトスイッチSW0～SW7を切替動作させて冗長データバス線対DBsz, DBsxを使用する場合であっても、データマスク機能は損なわれることはない。

【0110】(第3実施形態)次に、本発明の第3実施形態について図6に従って説明する。本実施形態は、前記第2実施形態と同様にデータマスク機能を備えたSDRAMに具体化ものである。従って、本実施形態では、説明の便宜上、前記した第1及び第2実施形態と同様な部分は符号を同じにして詳細な説明は省略する。

【0111】図6は、データマスク機能を備えたSDRAMの要部回路図を示す。SDRAMは、下位4ビットの第1～第4データバス線対DB0z, DB0x～DB3z, DB3xに対して1つの第1冗長用データバス線対DBsz1, DBsx1を設けている。又、上位4ビットの第5～第8データバス線対DB4z, DB4x～DB7z, DB7xに対して1つの第2冗長用データバス線対DBsz2, DBsx2を設けている。尚、第1及び第2冗長用データバス線対DBsz1, DBsx1, DBsz2, DBsx2は、それぞれセンスバッファSBs及びライトアンプWAsをそれぞれ設けている。

【0112】そして、第3シフトスイッチSW2は、第4入出力データ線対DL3に対して対応する第4データバス線対DB3z, DB3xと第1冗長用データバス線対DBsz1, DBsx1との間で切替え接続するようになっている。又、第8シフトスイッチSW7は、第8入出力データ線対DL7に対して対応する第8データバス線対DB7z, DB7xと第2冗長用データバス線対DBsz2, DBsx2との間で切替え接続するようになっている。

【0113】つまり、下位4ビットの第1～第4データバス線対DB0z, DB0x～DB3z, DB3xで1つの欠陥データバス線があった時、第1冗長用データバス線対DBsz1, DBsx1が補償し、上位4ビットの第5～第8データバス線対DB4z, DB4x～DB7z, DB7xで1つの欠陥データバス線があった時、第2冗長用データバス線対DBsz2, DBsx2が補償するようになっている。従って、第1～第4シフトスイッチSW0～SW3のグループの第1～第4切替信号J0～J3と、第5～第8シフトスイッチSW4～SW7のグループの第5～第8切替信号J4～J7は、それぞれ独立となる。つまり、例えば、第2データバス線対DB1z, DB1xが欠陥データバス線対であるとする、第2～第4切替信号J1～J3がHレベルとなり、他の第1、第4～第8切替信号J0, J4～J7は、Lレベルとなる。このように第1～第4切替信号J0～J3と第5～第8切替信号J4～J7とで、それぞれ独立となる信号は、図示しない冗長制御信号発生回路にて生成される。

【0114】外部装置から第1及び第2マスク信号DQM0, DQM1を入力する。第1マスク信号DQM0は、下位4ビットの第1～第4データバス線対DB0z, DB0x～DB3z, DB3x及び第1冗長用データバス線対DBsz1, DBsx1のライトアンプWA0～WA3, WAsに出力されている。第2マスク信号DQM1は、第5～第8データバス線対DB4z, DB4x～DB7z, DB7x及び第2冗長用データバス線対DBsz2, DBsx2のライトアンプWA5～WA8, WAsに出力されている。

【0115】上記のように構成した第3実施形態のSDRAMは、前記した第1実施形態の(1)～(3)の特徴に加えて以下に記載する特徴を有する。

(1) データマスク機能を備えたSDRAMにおいて、下位4ビットの第1～第4データバス線対DB0z, DB0x～DB3z, DB3xに対して1つの第1冗長用データバス線対DBsz1, DBsx1を設け、上位4ビットの第5～第8データバス線対DB4z, DB4x～DB7z, DB7xに対して1つの第2冗長用データバス線対DBsz2, DBsx2を設けた。

【0116】従って、下位4ビットの第1～第4データバス線対DB0z, DB0x～DB3z, DB3xで1つの欠陥データバス線が生じても、第4入出力データ線対DL3z, DL3xは、第2マスク信号DQM1で制御される第5データバス線対DB4z, DB4xに接続されることはない。

【0117】その結果、データバス線の1つに欠陥が生じシフトスイッチSW0～SW7を切替動作させて冗長データバス線対を使用する場合であっても、データマスク機能

を損なうことはない。

【0118】尚、発明の実施の形態は、上記実施形態に限定されるものではなく、以下のように実施してもよい。

・上記各実施形態では、8本の第1～第8データバス線対DB0z, DB0x～DB7z, DB7xについて説明したが、データバス線対の数は特に限定されるものではなく、例えば16本等種々のデータバス線対に応用してもよい。

【0119】・上記各実施形態では、ライトアンプWA0～WA7, WAsがセンスバッファSB0～SB7, SBsより入出力データ線DL0～DL7側に設けたが、これを反対にして実施してもよい。この場合、シフトスイッチSW0～SW7はライトアンプWA0～WA7, WAsとセンスバッファSB0～SB7, SBsよりも入出力データ線DL0～DL7側に設けて実施する。

【0120】・上記第2及び第3実施形態では、ライトアンプWA0～WA7, WAsが第1及び第2マスク信号DQM0, DQM1（切換マスク信号）に基づいて制御されるようになっているが、同時にセンスバッファSB0～SB7, SBsも第1及び第2マスク信号DQM0, DQM1（切換マスク信号）にて制御されるようにして実施してもよい。

【0121】・上記第3実施形態では、クランプ回路16を示していないが、勿論、クランプ回路16を用いて実施してもよい。

・上記第2実施形態のマスク信号切換装置30において、ナンド回路31, 32の一方の入力端子にHレベルとなる高電位電圧電源線に接続したが、Hレベルのライトイネーブル信号を入力するようにしてもよい。

【0122】・上記各実施形態では、半導体記憶装置としてSDRAMに具体化した但、非同期式DRAM、スタティックRAM等のその他半導体記憶装置に具体化してもよい。

【0123】

【発明の効果】請求項1に記載の発明によれば、冗長用シフトスイッチのオン抵抗や寄生容量の影響を受けず、精度の高いデータを生成することができる。

【0124】請求項2及び3に記載の発明によれば、データマスク機能を損なうことなくシフトスイッチのオン抵抗や寄生容量の影響を受けず、精度の高いデータを生成することができる。

【0125】請求項4に記載の発明によれば、請求項1～3に記載の発明の効果に加えて、欠陥データバス線のフローティング状態を回避することができる。

【図面の簡単な説明】

【図1】第1実施形態のSDRAMの要部回路図

【図2】シフトスイッチの回路図

【図3】冗長制御信号発生回路の回路図

【図4】第2実施形態のSDRAMの要部回路図

【図5】マスク信号切換回路の回路図

【図6】第3実施形態のSDRAMの要部回路図

【図7】従来のSDRAMの要部回路図

【符号の説明】

16 クランプ回路

20 冗長制御信号発生回路

21 ヒューズ回路部

22 検出回路部

23 デコード回路部

30 マスク切換回路

DB0z, DB0x～DB7z, DB7x 第1～第8データバス線対

DBsz, DBsx, DBsz1, DBsx1, DBsz2, DBsx2, 冗長用データバス線対

DL0z, DL0x～DL7z, DL7x 第1～第8入出力データ線対

BLz, BLx ビット線対

SB0～SB7, SBs センスバッファ

WA0～WA7, WAs ライトアンプ

SW0～SW7 第1～第8シフトスイッチ

J0～J7 第1～第8切換信号

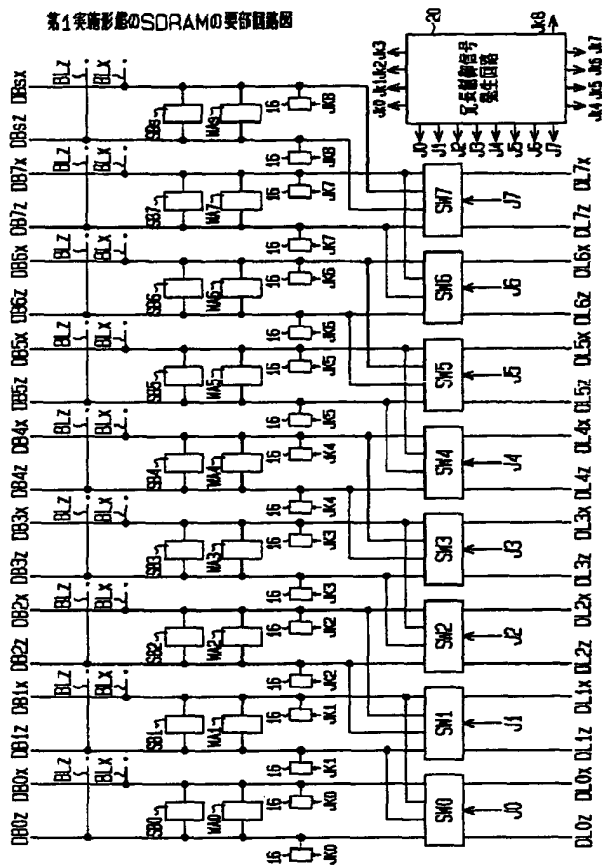
S0～S7 第1～第8検出信号

JK0～JK8 第1～第9クランプ制御信号

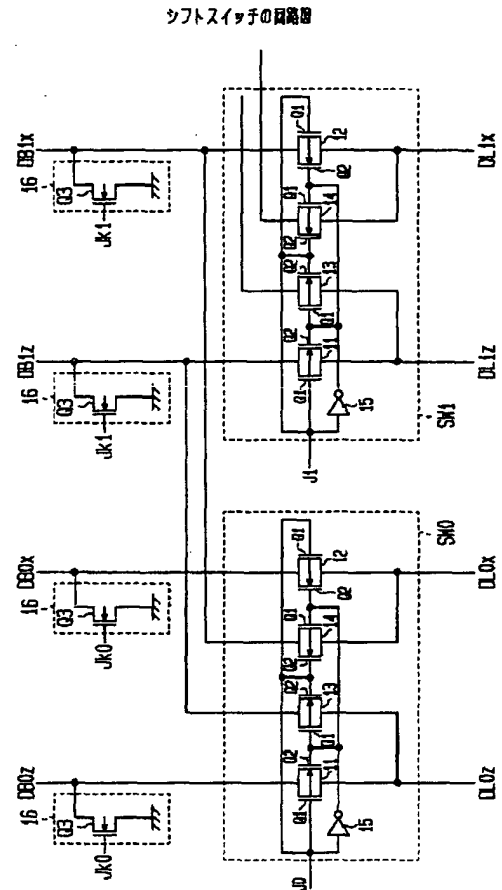
SK 切換マスク信号

DQM0, DQM1 第1及び第2マスク信号

【図1】

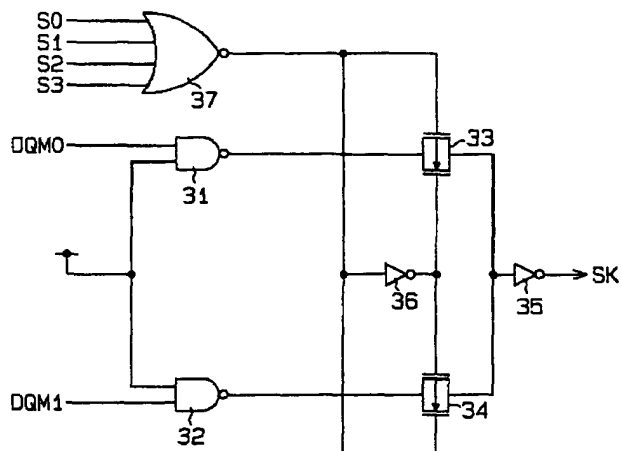


【図2】



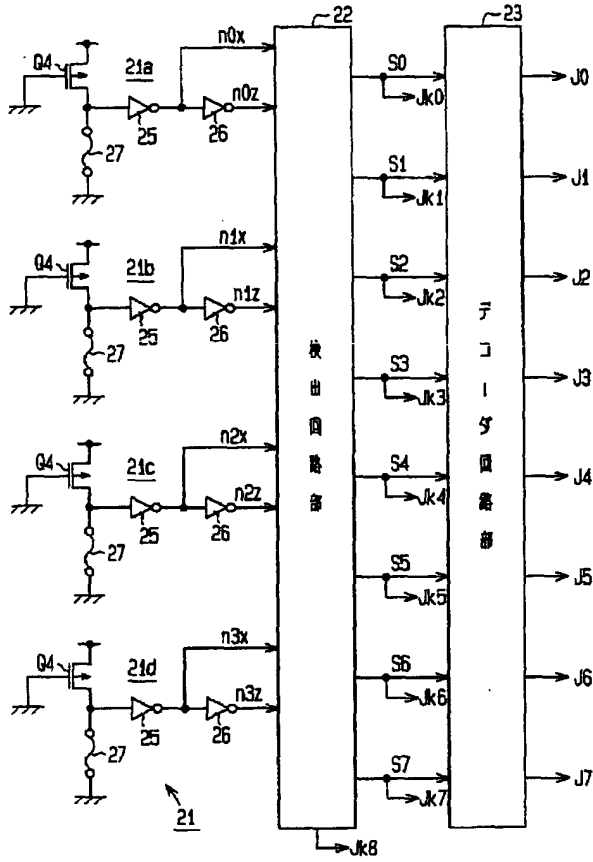
【図5】

マスク信号切替回路の回路図



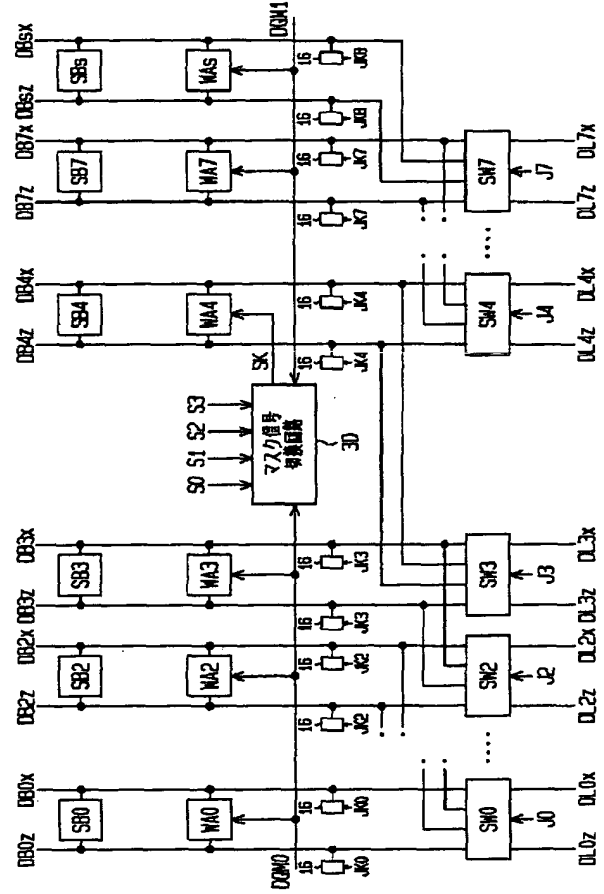
【図 3】

冗長制符号発生回路の回路図



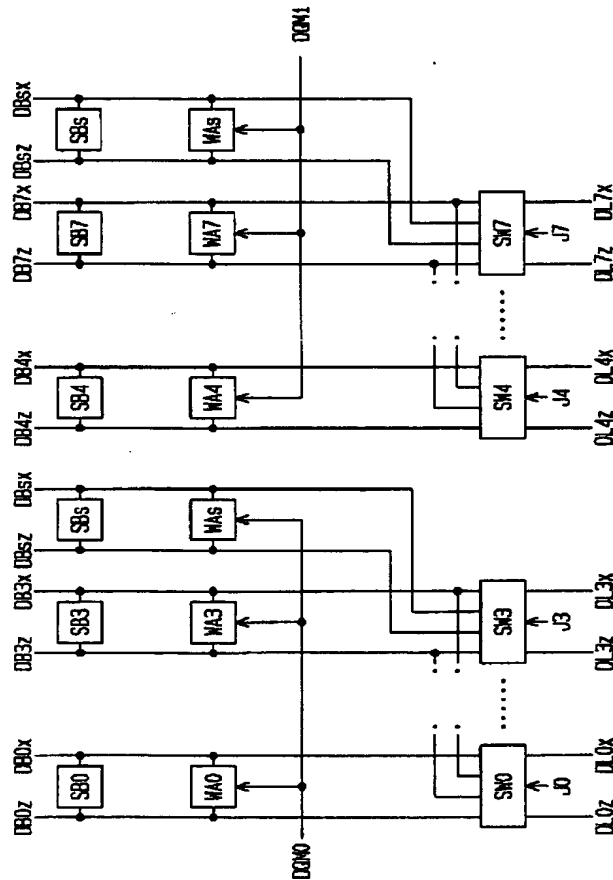
【図 4】

第2実施形態のSDARMの内部回路図



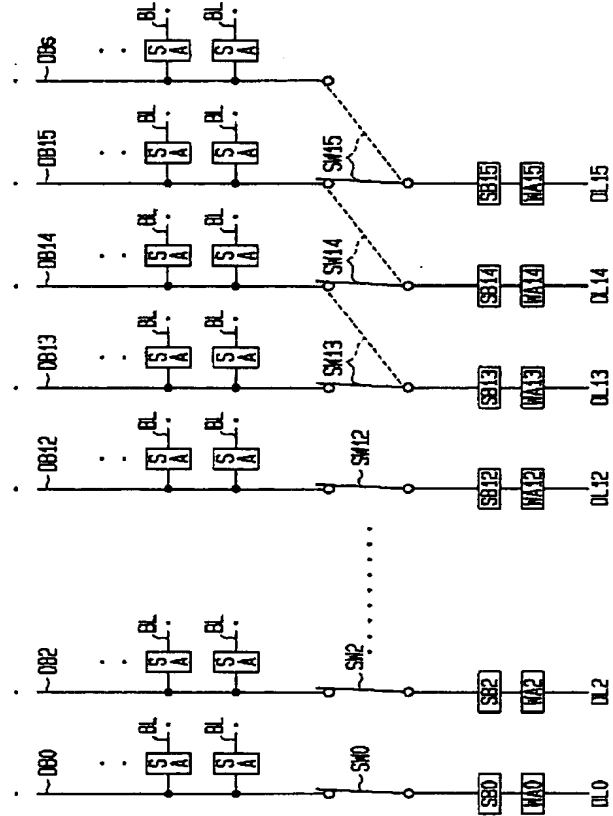
【図 6】

第3実施形態のSDRAMの要部回路図



【図 7】

従来のSDRAMの要部回路図



フロントページの続き

(72) 発明者 小川 和樹  
愛知県春日井市高蔵寺町二丁目1844番 2  
富士通ヴィエルエスアイ株式会社内

F ターム (参考) 5B024 AA03 AA15 BA29 CA07 CA16  
CA17  
5L106 AA01 CC13 CC31 EE00 FF01  
GG05